

1.9 GHz 高效率 E 類功率放大器

1.9 GHz High-Efficiency Class-E Power Amplifier

晶片編號：P15-93B-14b

設計者：陳俞安 蕭舜謙 趙哲寬 指導教授：洪子聖 國立中山大學電機系
Tel: 07-5252000 ext. 4119, email: b8931143@student.nsysu.edu.tw, jason@ee.nsysu.edu.tw

一、中文摘要

本晶片設計是利用 InGaAs pHEMT 製程研製出可以應用在 CDMA2000 1x 系統發射機之 1.9 GHz 高效率 E 類功率放大器。該發射機採用極座標調制與波包追隨兩種架構來達到高效率與高線性度，而優異性能之關鍵就在所研製之 E 類功率放大器需要具備高效率、低饋入穿透，以及能在供應電壓與輸出射頻訊號振幅間維持良好的線性關係。本 E 類功率放大器在連續訊號測試時，在 PAE 峰值為 61% 時，所對應之增益為 13 dB，輸出功率達到 25 dBm。當應用在 CDMA2000 1x 系統發射機時，在輸出中心頻率 1.9 GHz 且具有 1.25 MHz QPSK 調制頻寬之訊號時，在平均調制輸出功率在 9 至 21 dBm 的範圍內，均可維持固定約 2.7% 之 EVM 值以及約 47 dB 之 ACPR 值，而且 PAE 變化幅度約在 32% 至 42% 之間。這些發射機輸出射頻訊號參數皆呈現出與輸出功率準位關聯性低之特色，相當適合應用在具有功率控制而且高 PAPR 值之 3G 行動電話系統上，因為當功率放大器輸出功率隨系統要求而任意 Back-off 操作時，PAE 不致於陡降因而能大幅提高系統平均操作效率。

關鍵詞：E 類功率放大器、極座標調制發射機、波包追隨發射機

Abstract---This chip design is to implement a 1.9 GHz high-efficiency Class-E power amplifier (PA) in InGaAs pHEMT process for the application to the CDMA2000 1x transmitters based on either the polar modulation or envelope following architecture to achieve high efficiency and high linearity. The crucial component to having such high-performance transmitters is the implemented class-E PA that requires high efficiency, low feed-through, and good linear relation between the supply voltage and output RF amplitude. In the CW test, the class-E PA can achieve 13 dB in gain

and 25 dBm in output power under the maximum PAE of 61%. When applied to the CDMA2000 1x transmitters, the PA can output a 1.9 GHz QPSK-modulated signal with almost constant EVM of 2.7 % and ACPR of 47 dB in the range of average output power from 9 to 21 dBm. Moreover, the PAE varies within a small range from 32% to 42%. These characteristics are very useful in applications to 3G cellular systems with power control and high PAPR. This is because the PAE won't drop dramatically even if the system operates the PA with a large back-off.

Keywords : Class-E power amplifier, polar-modulation transmitter, envelope-following transmitter

二、計畫緣由與目的

在無線通訊系統中，發射機所消耗的功率主要決定於功率放大器上。在目前 3G 行動通訊系統中，其採用之 QPSK 數位調制技術具有較佳的頻譜使用效率，但其明顯的時變波包特性及峰值對平均功率比值 (PAPR, Peak to Average Power Ratio) 遠較現有的 2G 及 2.5G 行動通訊系統為高。因此，3G 行動通訊系統對功率放大器線性度的要求將更為嚴苛。但在傳統類型的功率放大器設計中，其線性度與效率兩者互為取捨關係，線性度的增加必然犧牲效率的表現。故能兼顧線性度與效率，一直是功率放大器設計之重要研究課題。

在 1952 年 Kahn 提出了波包消除重建 (EER, Envelope Elimination and Restoration) 架構 [1]，以類比波包偵測器及限制器來分離波包訊號與相位調制載波，波包訊號經由 S 類功率放大器放大，作為 E 類功率放大器的供應電壓，而將波包訊號予以重建在被 E 類功率放大器放大後之相位調制載波上。目前已有 CMOS 製程操作於 L 頻段之設計 [2],[3]，以及 GaAs HBT、MESFET、

pHMET 等製程操作於更高頻段之設計[4]-[6]。而傳統 EER 發射機則因受限 E 類放大器之操作頻段與 S 類功率放大器之操作頻寬，雖然展現高效率及高線性度之優異特性，但仍為低頻段且窄頻寬之應用。另外波包偵測器與限制器均操作在射頻範圍，較不易精確取得波包與相位訊號，且尚有難以積體化、波包及相位兩路時間延遲差難以改善等問題。

為了改善傳統 EER 架構之缺點，一種在基頻即以數位訊號處理方式來分離波包與相位之極座標調制 (polar modulation) 技術被提出。相較於 EER 使用射頻類比元件，極座標調制技術使用數位電路來分離波包與相位，不僅具有更好的調制精確度，並且更容易達到積體化之目的。在極座標調制之射頻發射機中，早先已有 Tropian 公司發表 IC 產品[7]-[9]，接著如 RFMD 與 Skywork 等公司也陸續發表類似 IC 產品[10],[11]，雖然展現了良好的線性度，但波包路徑採用電壓調制器的處理方式效率並不彰，目前所有 IC 產品仍以 GSM/GPRS 與 EDGE 等 2G 或 2.5 G 雙模系統為主。

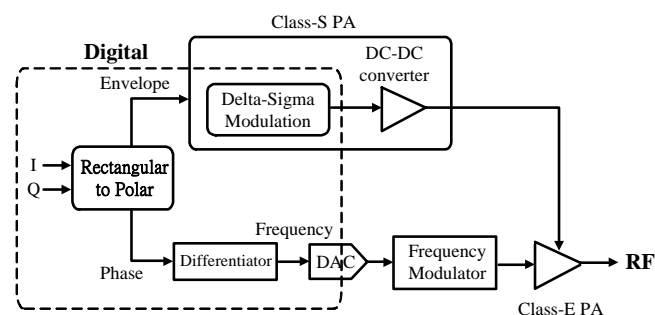


圖 1 所研製 E 類功率放大器應用在改良式極座標調制射頻發射機架構

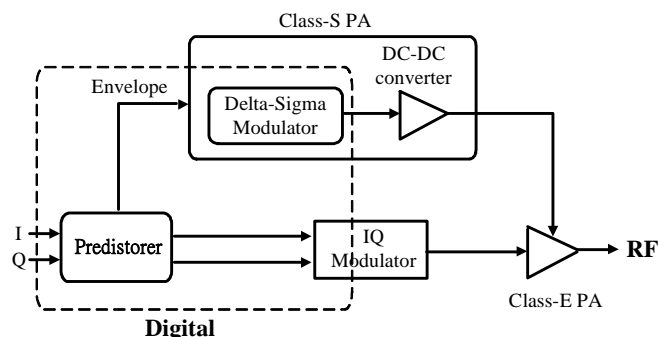


圖 2 所研製 E 類功率放大器應用在波包追隨射頻發射機架構

為了改善現有極座標調制架構的缺失，我們提出應用差異積分調制技術來

提升波包處理效率[12]，其架構圖如圖 1 所示，在波包路徑上以差異積分調制器結合高效率之直流-直流轉換器。波包調制過程中，轉換效率可視為直流-直流轉換器之轉換效率與 E 類功率放大器之轉換效率兩者的乘積值，約為一定值，不受射頻輸出功率的影響。此外，在相位調制頻率合成器部分，也採用高效率的雙點差異積分調制架構[13]。

同時，我們也嘗試將所研製的 E 類功率放大器應用在一種創新的波包追隨 (Envelope Following) 架構[14]中，如圖 2 所示。此新架構讓 E 類功率放大器射頻輸入端為正交調制訊號，而供應電壓端為波包訊號，即所謂的波包追隨方式讓功率放大器供應電壓正比於輸入射頻訊號波包幅度，藉此大幅降低平均直流功率消耗。但此架構會有重複波包調制問題，需要在基頻端設計預失真器加以解決[15]。在上述發射機架構的實現上，數位電路以 FPGA 製作，S 類功率放大器則來自另外一顆設計晶片[16]，頻率與 IQ 調制器則來源自商用 IC 產品或向量訊號產生器，應用系統則以 3G 行動電話為主，譬如 CDMA2000 與 W-CDMA 等。

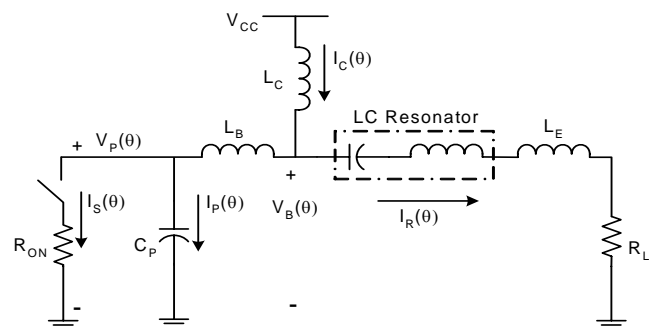


圖 3 E 類功率放大器輸出端匹配電路設計

三、研究方法與成果

3.1 設計原理

E 類功率放大器屬於切換式放大器架構，為了達到較高的轉換效率，輸入的訊號功率必須足以使功率電晶體飽和，使其如同開關一般運作。圖 3 所示之輸出端匹配電路架構中，並聯到地電容 (C_p)、電壓供應端之 choke 電感 (L_c) 與輸出端匹配電路元件 (L_e 、 R_L)，必須使功率電晶體上之電壓 (V_p) 與流經電晶體之電流 (I_s) 在時間上相互錯開，以避免功率消耗在電晶體上。圖 3 所示架構與傳統的 E 類功率放大器簡化架構[17]有

許多不同點，原因是在實際進行 E 類功率放大器 IC 設計時，需要考量許多實際的非理想效應，包括(1)電晶體的飽和電阻(R_{ON})，(2)輸出端的 Choke 電感值(L_C)並非無限大，(3)功率電晶體的寄生電容值需要納入 C_P 設計值的一部分，以及(4)晶片鏢線之電感值(L_B)等因素，因此必須針對此架構重新進行理論分析，運用 E 類功率放大器之邊界條件，電晶體於截止至導通時，其電壓與電壓之微分值均需為零，即可得出所需之輸出端匹配電路元件值[18]。

3.2 模擬結果

本晶片製作是採用 InGaAs pHEMT 製程，在中心頻率為 1.9 GHz、供應電壓為 3.3 V，輸出端之 choke 電感為 4.7 nH，電晶體之飽和電阻為 1.3 Ω ，鏢線電感為 0.4 nH 等已知條件下，再加上由電晶體 SPICE 模型估測寄生電容值後，即可經由理論設計出如圖 4 之 E 類功率放大器電路。基於損耗之考量，輸出阻抗匹配電路採用 off chip 元件。圖 5 則利用 ADS 模擬此電路以詳細觀察 V_P 與 I_S 之時域波形相互錯開情形，並可根據此兩種模擬波形進一步計算輸出功率與汲極效率。利用 ADS 模擬所得 PAE 峰值為 65%，所對應之增益值與輸出功率分別為 13.5 dB 與 25.5 dBm。

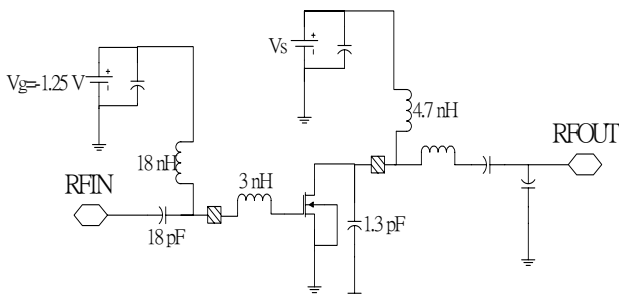


圖 4 E 類功率放大器設計電路圖

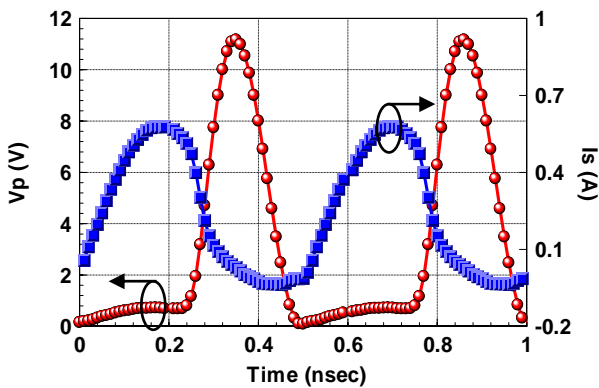


圖 5 模擬 E 類功率放大器電晶體上之電壓與電流時域模擬波形

四、測試結果

4.1 CW 訊號測試

圖 6 為 E 類功率放大器之晶片照片與採用 chip-on-board 方式之測試板照片，整個晶片面積約為 1mm×1mm。在 CW 訊號測試上，圖 7 為 E 類功率放大器輸出功率對輸入功率變化關係圖，在小輸入功率時，模擬的輸出功率大於實際量測者，原因可能為小訊號時未達到良好阻抗匹配，導致輸出功率少了 2 dB 左右，而愈往大訊號操作情況時，模擬與量測結果愈趨於一致。圖 8 為 E 類功率放大器直流消耗電流對輸入功率變化關係圖，因 E 類功率放大器之閘極偏壓在 threshold 電壓，直流電流會隨著輸入功率增加而升高，超過功率飽和點後電流上升將趨於平緩，E 類功率放大器操作在此處會有最佳的效率表現。圖 9 與為 E 類功率放大器 PAE 對輸入功率變化關係圖，當輸入功率愈高時，電晶體輸出功率將逐漸飽和，在此 E 類功率放大器之效率將最好。輸入功率為 12 dBm 時，此 E 類功率放大器之 PAE 可達最大值約 61%，此時增益為 13 dB，輸出功率達到 25 dBm。在供應電壓為 3.3 V 時，E 類功率放大器汲極視入之輸入阻抗會隨輸入功率而變化，但當輸入功率愈高致使 E 類功率放大器操作在飽和區時，此輸入阻抗將趨於一定值約 20 Ω 左右，可以作為 S 類功率放大器輸出端低通濾波器之輸出阻抗設計依據。

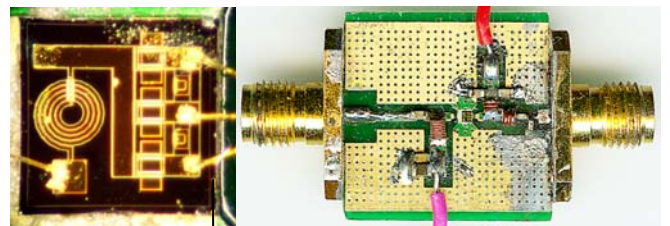


圖 6 E 類功率放大器晶片與測試板

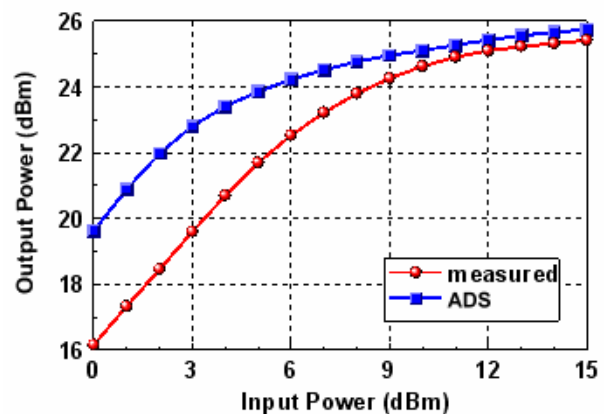


圖 7 E 類功率放大器 CW 測試時輸出功率對輸入功率關係圖

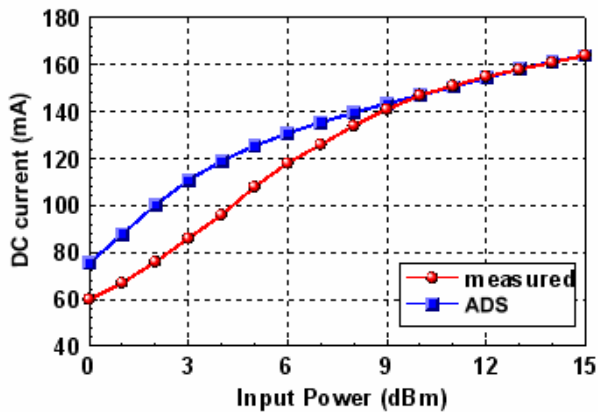


圖 8 E 類功率放大器 CW 測試時直流消耗電流對輸入功率關係圖

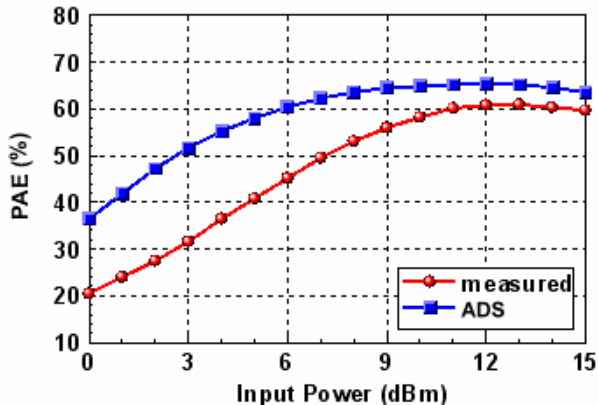


圖 9 E 類功率放大器 CW 測試時功率增加效率對輸入功率關係圖

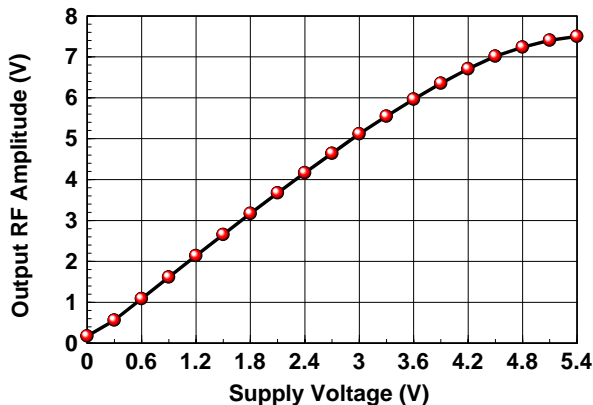


圖 10 E 類功率放大器 CW 測試時輸出 RF 振幅對供應電壓關係圖(輸入射頻功率固定為 12dBm)

表 1 E 類功率放大器 CW 測試時在最大 PAE 時模擬與量測結果比較表

操作頻段	1.92 ~ 1.98 GHz	
操作電壓	$V_G = -1.25\text{ V}$ $V_S = 3.3\text{ V}$	
	模擬	量測
直流消耗電流	155 mA	155 mA
最大 PAE 值	65 %	61%
增益	13.5 dB	13 dB
輸出功率	25.5 dBm	25 dBm
二階以上諧波壓抑	> 20 dB	> 20 dB

圖 10 是當 E 類功率放大器輸入固定功率為 12 dBm 之 1.9 GHz 單調弦波形式之射頻訊號時，測量其輸出射頻訊號振幅電壓對供應電壓的關係，可以用來評估 E 類功率放大器應用於極座標調制架構時之線性度表現。如圖 10 所示，供應電壓除了在高電壓區及接近於零電壓區外，大體上與輸出射頻訊號振幅電壓維持良好的線性關係。供應電壓愈高時會出現增益壓縮(gain compression)現象，這是因為在高供應電壓時，因輸入射頻訊號振幅仍維持固定不變，會使得電晶體無法完全以飽和及截止狀態進行開關之切換所造成。當供應電壓接近零伏時，因為輸入射頻訊號會洩漏至輸出端，即所謂饋入穿透(feed through)現象，而使得輸出端射頻訊號電壓會些微大於零伏，這對於輸入具有零交越調制特性如 QPSK、QAM 等之射頻訊號而言，其輸出射頻訊號會因為喪失零交越特性而有失真及頻譜重增長之情形。相較於其他製程，採用 InGaAs pHEMT 製程製作 E 類功率放大器在饋入穿透以及輸出射頻訊號振幅電壓對供應電壓之線性度上有較好的表現。表 1 歸納此 E 類功率放大器之 CW 測試規格並與模擬值作比較。

4.2 應用在 CDMA2000 1x 射頻發射機之數位調制訊號測試

當 E 類功率放大器應用在如圖 1 所示之極座標調制架構時，輸入至 E 類功率放大器射頻輸入端之相位調制載波功率固定在 9 dBm，並在基頻 FPGA 電路設計時補償波包與相位路徑之時間延遲差而讓輸入至 E 類功率放大器供應電壓端之波包訊號與相位調制載波同步，而且處理波包訊號之 S 類功率放大器轉換效率約為 80% 等條件下，發射機之 ACPR、PAE 及 EVM 對平均調制輸出功率之關係如圖 11 所示。在輸出功率為 13 dBm 以上時，ACPR 值約 48 dB 且 EVM 約 6.3%，滿足 CDMA2000 1x 規範要求，此時 PAE 大於 40%，性能及效率皆相當優異。但隨著平均調制輸出功率 Back off 至低於 13 dBm 時，因為 E 類功率放大器射頻輸入端之相位調制載波功率仍然維持在固定 9 dBm 功率而使得 PAE 下降，此外饋入穿透現象也變得更加明顯而惡化 ACPR 與 EVM。

當 E 類功率放大器應用在如圖 2 所示之波包追隨架構時，基頻 FPGA 電路需設計預失真器以補償波包重複調制失真，也需同樣補償好路徑時間延遲差而讓輸入至 E 類功率放大器供應電壓端之波包訊號與輸入至

射頻輸入端之正交調制訊號維持同步，而且處理波包訊號之 S 類放大器轉換效率約為 80% 等條件下，發射機之 ACPR、PAE 及 EVM 對平均調制輸出功率之關係如圖 12 所示。在平均調制輸出功率在 9 至 21 dBm 的範圍內，均可維持固定約 2.7% 之 EVM 值以及約 47 dB 之 ACPR 值，而且 PAE 變化幅度約在 32% 至 42% 之間。明顯優於極座標調制架構之處包括 EVM 大幅改善，以及 ACPR 與 EVM 不致於因輸出功率大幅 Back off 而惡化。在 PAE 部份則是在低輸出功率時較極座標調制架構為優，但高輸出功率時則以極座標調制架構表現較優。

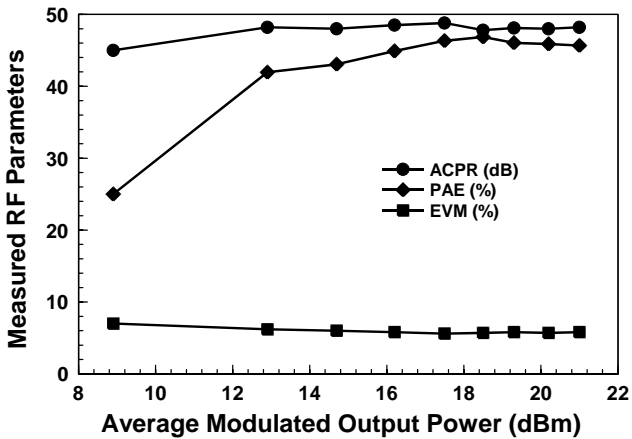


圖 11 所研製 E 類功率放大器應用在極座標調制架構之 CDMA2000 1x 射頻發射機之數位調制訊號測試

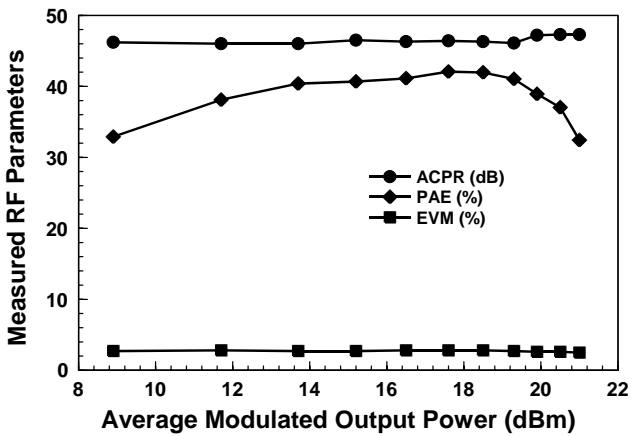


圖 12 所研製 E 類功率放大器應用在波包追隨架構之 CDMA2000 1x 射頻發射機之數位調制訊號測試

圖 13 為所研製之 E 類應用於波包追隨架構時之測試板照片，圖 14 為平均調制輸出功率在 20 dBm 時所測得之輸出頻譜與解調波眼圖，從圖中所測得之 ACPR 為 48

dB，且 EVM 值為 3.76%，將正交調制器之 EVM 值校正掉後，EVM 值變為 2.6%，比 CDMA2000 1x 規格之要求高出不少，而此時 PAE 約 37%，性能與效率亦相當優異。

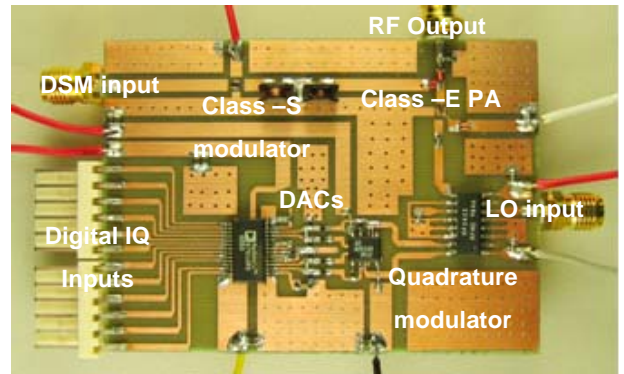


圖 13 所研製 E 類功率放大器應用在波包追隨架構之 CDMA2000 1x 射頻發射機之電路板

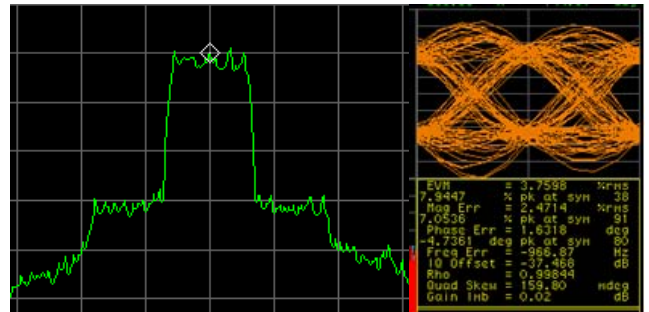


圖 14 所研製 E 類功率放大器應用在波包追隨架構之 CDMA2000 1x 射頻發射機在平均調制輸出功率為 20 dBm 時所測得之輸出頻譜與解調波眼圖

五、結論與討論

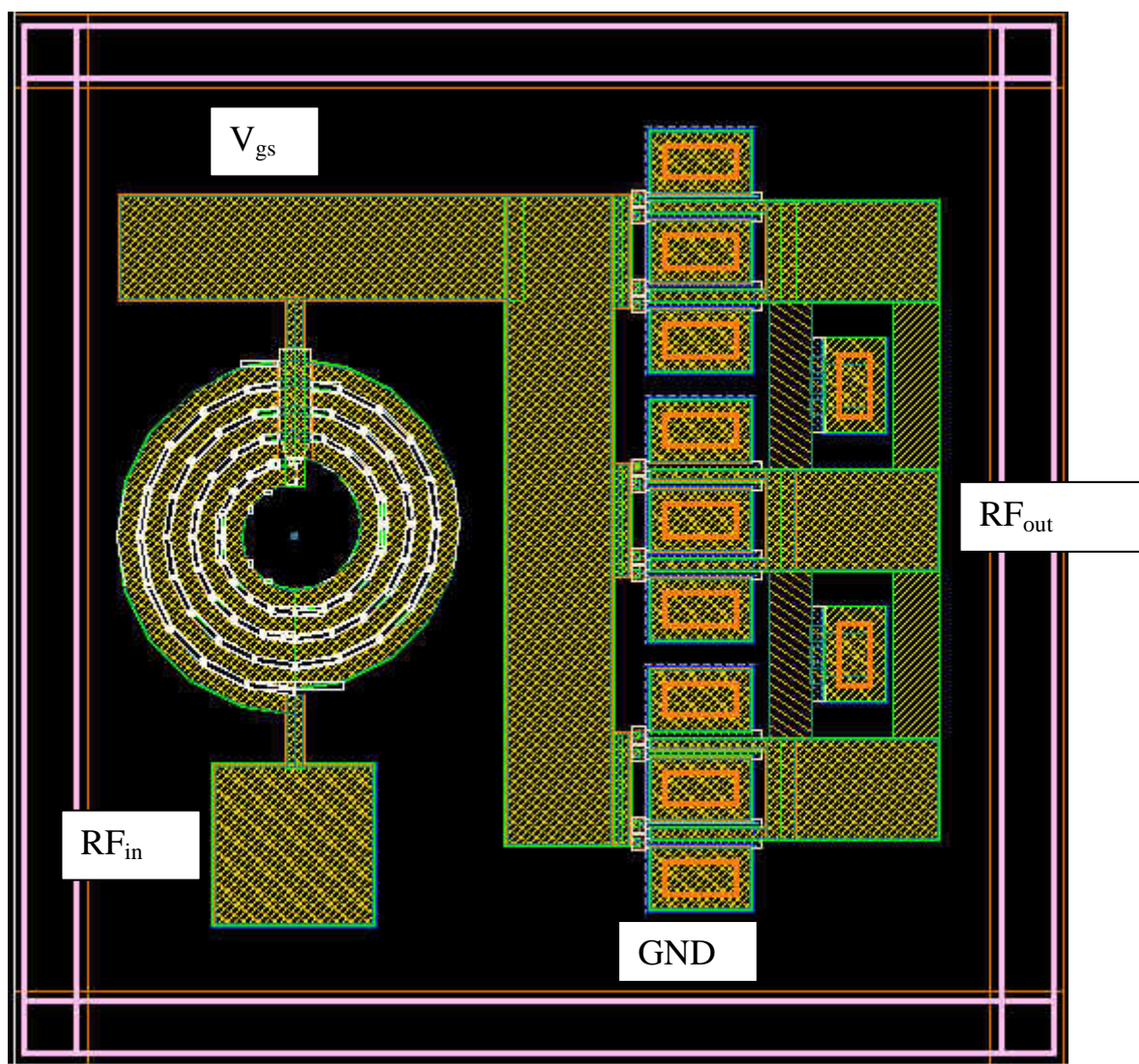
本 1.9 GHz E 類功率放大器是採用 InGaAs pHEMT 製程作設計，偏壓 3.3 V 的情況下，輸出功率為 25 dBm，增益為 13 dB，PAE 為 61%，假若輸出阻抗匹配上若能作得更精準，則輸出功率與 PAE 仍有提升空間。

實際將此 E 類功率放大器應用於極座標調制與波包追隨架構之 CDMA2000 1x 射頻發射機，用符合系統標準之 1.25 MHz 調制頻寬之 QPSK 調制訊號輸入作測試，以 20 dBm 之平均調制輸出功率為例，極座標調制與波包追隨架構之 ACPR、EVM、PAE 值分別為 48 dB、6.3%、45% 與 48 dB、2.6%、36%，皆能充分滿足 CDMA2000 1x 系統規格與應用之要求。在性能與效率比較下，兩架構雖彼此各有優劣，但兩架構之平均系統操作效率皆遠比傳統發射機架構為高。

六、參考文獻

- [1]. L. R. Kahn, "Single sideband transmission by envelope elimination and restoration," in *Proc. IRE*, vol. 40, pp.803-806, Jul. 1952.
- [2]. D. K. Su, and W. J. McFarland, "An IC for linearizing RF power amplifiers using envelope elimination and restoration," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 2252-2258, Dec. 1998.
- [3]. F. H. Raab, B. E. Sigmon, R. G. Myers, and R. M. Jackson, "L-band transmitter using Kahn EER technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, pp. 2220-2225, Dec. 1998.
- [4]. W. Abey, T. Kawai, I. Okamoto, M. Suzuki, C. Khandavalli, W. Kennan, Y. Tateno, M. Nagahara, and M. Takikaka, "An E-mode GaAs FET power amplifier MMIC for GSM phones," in *IEEE MTT-S International Microwave Symposium Digest*, 1997, pp. 1315-1318.
- [5]. T. Sowlati, C. A. T. Salama, J. Sitch, G. Rabjohn, and David Smith, "Low voltage, high Efficiency class E GaAs power amplifiers for mobile communications," in *IEEE GaAs IC Symposium Digest*, 1994, pp. 171-174.
- [6]. D. K. Choi, and S. I. Long, "A physically based analytic model of FET Class-E power amplifiers-designing for maximum PAE," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, pp. 1712-1720, Sep. 1999.
- [7]. W. B. Sander, S. V. Schell, and B. L. Sander, "Polar modulator for multi- mode cell phones," in *Proc. IEEE Custom Integrated Circuits Conf.*, 2003, pp. 439-445.
- [8]. A. Hadjichristos, "Transmit architectures and power control schemes for low cost highly integrated transceivers for GSM/EDGE applications," in *Proc. IEEE Int. Symp. Circuits and Systems ISCAS'03*, 2003, pp. 610-613.
- [9]. E. McCune, "Multi-mode and multi-band polar transmitter for GSM, NADC, and EDGE," in *Proc. IEEE WCNC*, 2003, pp. 812-815.
- [10]. A. W. Hietala, "A quad-band 8PSK/GMSK polar transceiver," in *IEEE MTT-S Radio Frequency Integrated Circuits Symposium Digest.*, 2005 pp. 9-12.
- [11]. T. Sowlati, D. Rozenblits, R. Pallela, M. Damgaard, D. Koh, E. McCarthy, D. Ripley, F. Balteanu, I. Gheorghe, K. Juan, S. Wloczyniak, and D. Firoiu, "Polar loop transmitter for GSM/GPRS/EDGE" in *IEEE Radio Frequency Integrated Circuits Symposium Digest*, 2005 pp. 13-16.
- [12]. J. K. Jau, F. Y. Han, M. C. Du, and T. S. Horng, "Polar modulation-based RF power amplifiers with enhanced envelope processing technique," in *Proc. European Microwave Conference*, 2004, pp. 1317-1320.
- [13]. K. C. Peng, C. H. Huang, C.J . Li, and T. S. Horng, "High-performance frequency-hopping transmitters using two-point delta-sigma modulation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, pp. 2529-2535, Nov. 2004.
- [14]. 趙哲寬、陳俞安、洪子聖,「高效率多模微波發射機及其方法」, 中華民國專利, 2005, 申請中。
- [15]. J. K. Jau, Y. A. Chen, and T. S. Horng, "A wideband EER transmitter using predistorted drive techniques," *IEEE Microwave and Wireless Component Letters*, 2005, revised.
- [16]. 陳俞安、洪子聖,「應用差異積分調制之基頻互補切換式功率放大器」,CIC 晶片編號 D35-93E-40b, 2004。
- [17]. N. O. Sokal and A. D. Sokal, "Class-E – a new class of high efficiency tuned single-ended switching power amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 168-176, June 1975.
- [18]. J. K. Jau, Y. A. Chen, T. S. Horng, and T. L. Wu, "Optimum analytical design solution to integrated Class-E amplifiers," in *Proc. IASTED WNET Conf.*, 2005, pp. 40-44.

*** CAD Tools	HSPICE
*** Chip Features	
CKT name	: 1.9 GHz 高效率 E 類功率放大器
Technology	: WIN 0.15um pHEMT
Package	: No
Chip Size	: 1 * 1 mm ² (晶片面積 : mm ²)
Transistor/Gate Count	: 12 MOS
Power Dissipation	: 600 mW
Max. Frequency	: 1.9 GHz
Testing Result	: function works

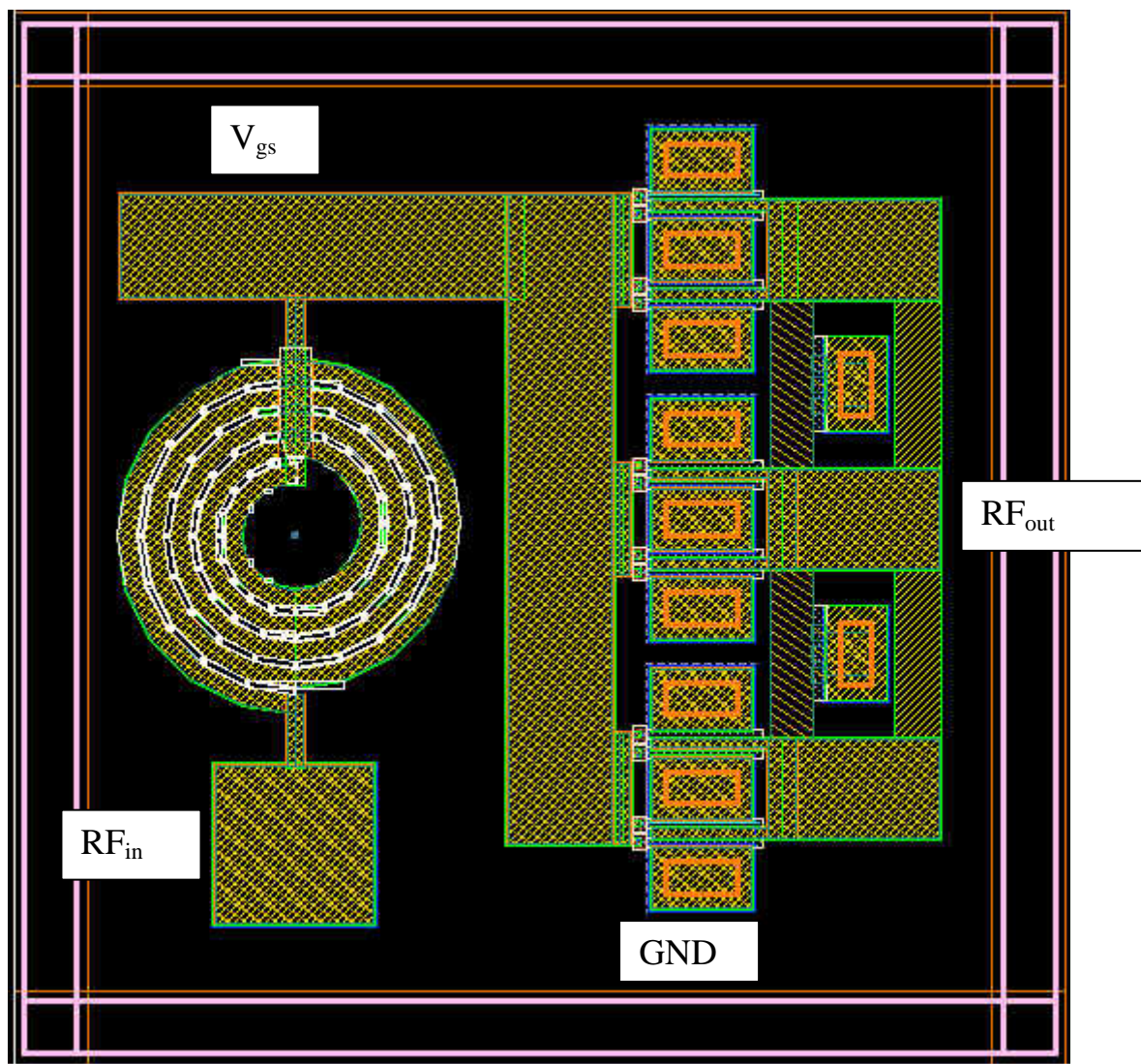


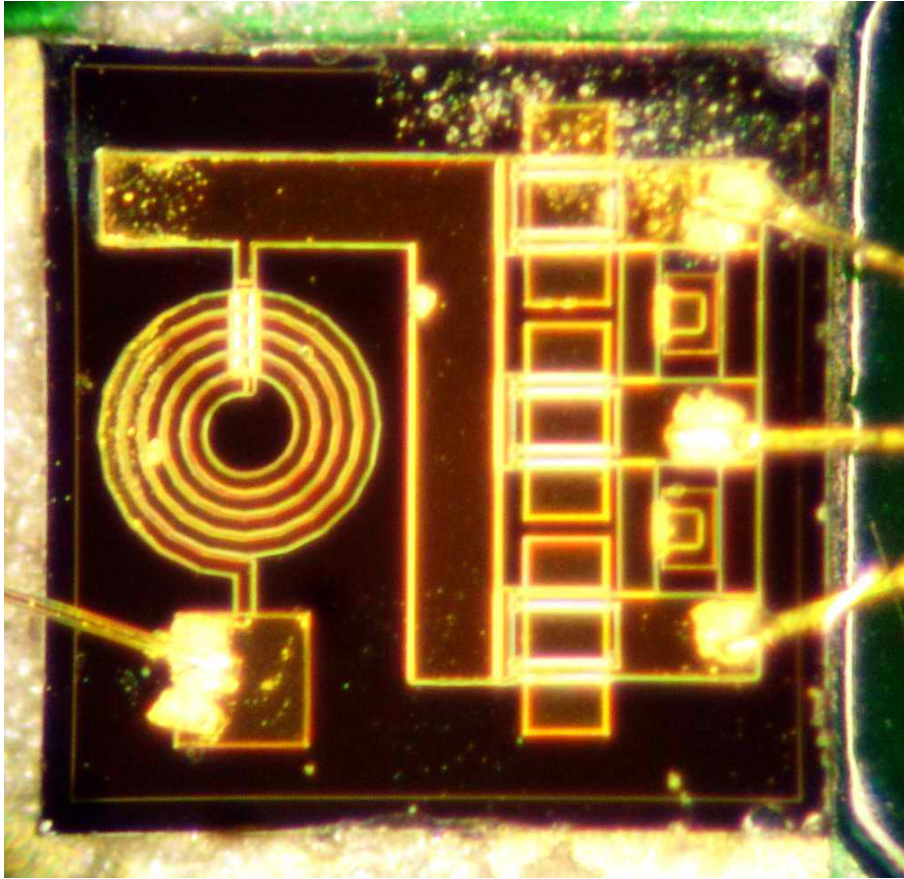
*** CAD Tools

HSPICE

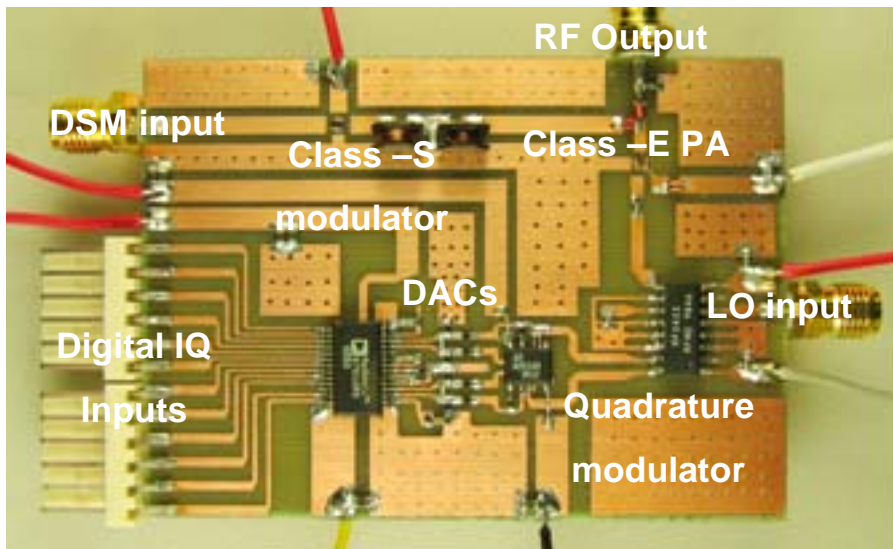
*** Chip Features

CKT name : 1.9 GHz 高效率 E 類功率放大器
Technology : WIN 0.15um pHEMT
Package : No
Chip Size : 1 * 1 mm² (晶片面積 : mm²)
Transistor/Gate Count : 12 MOS
Power Dissipation : 600 mW
Max. Frequency : 1.9 GHz
Testing Result : function works





晶片照片與打線



晶片測試