

電機系專題製作

具加強型迴圈之處理器設計

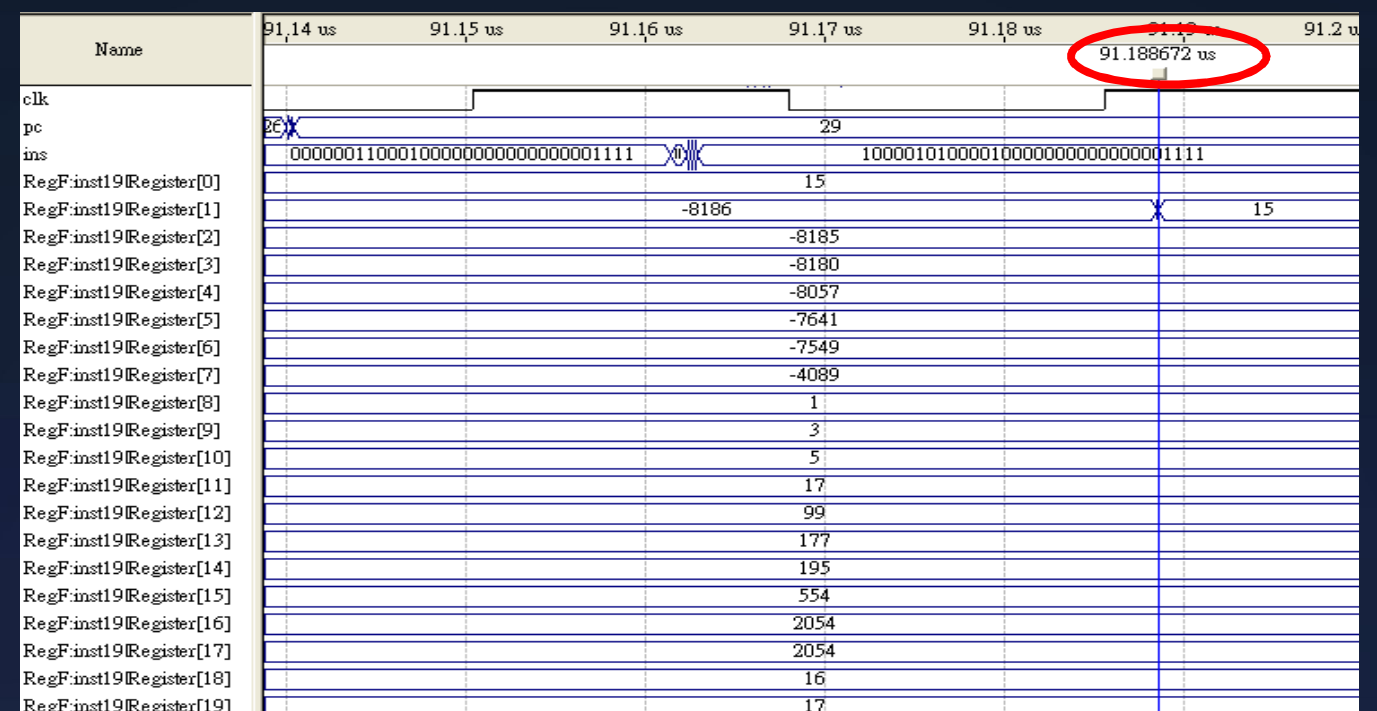
參展人員：鍾裕民、吳美蓉

一、摘要

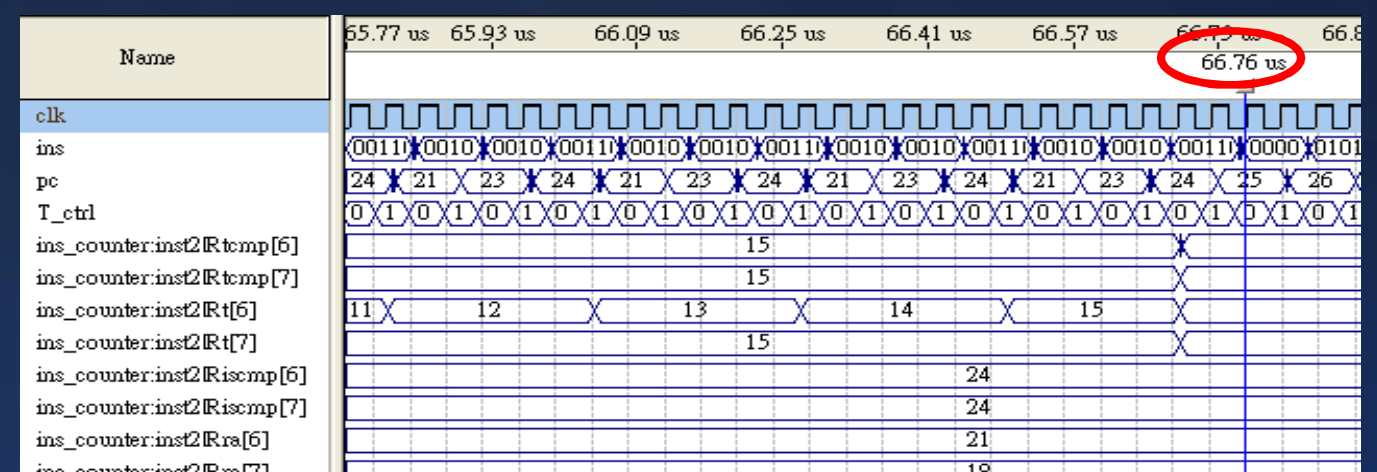
本專題運用verilog描述電路架構，並以Quartus軟體模擬波形，驗證其正確性。文中的指令格式，為學生研讀了ARM與MIPS的指令格式以後，構思出雛型，再經指導教授點評的成果。本專題主要有兩項特色：

1. 可以暫存器中存放的值為基底，再取另一個暫存器中的值做運算。
2. 零冗餘迴圈設計—以一道「REPEAT」指令即可取代數道BRANCH指令的執行。

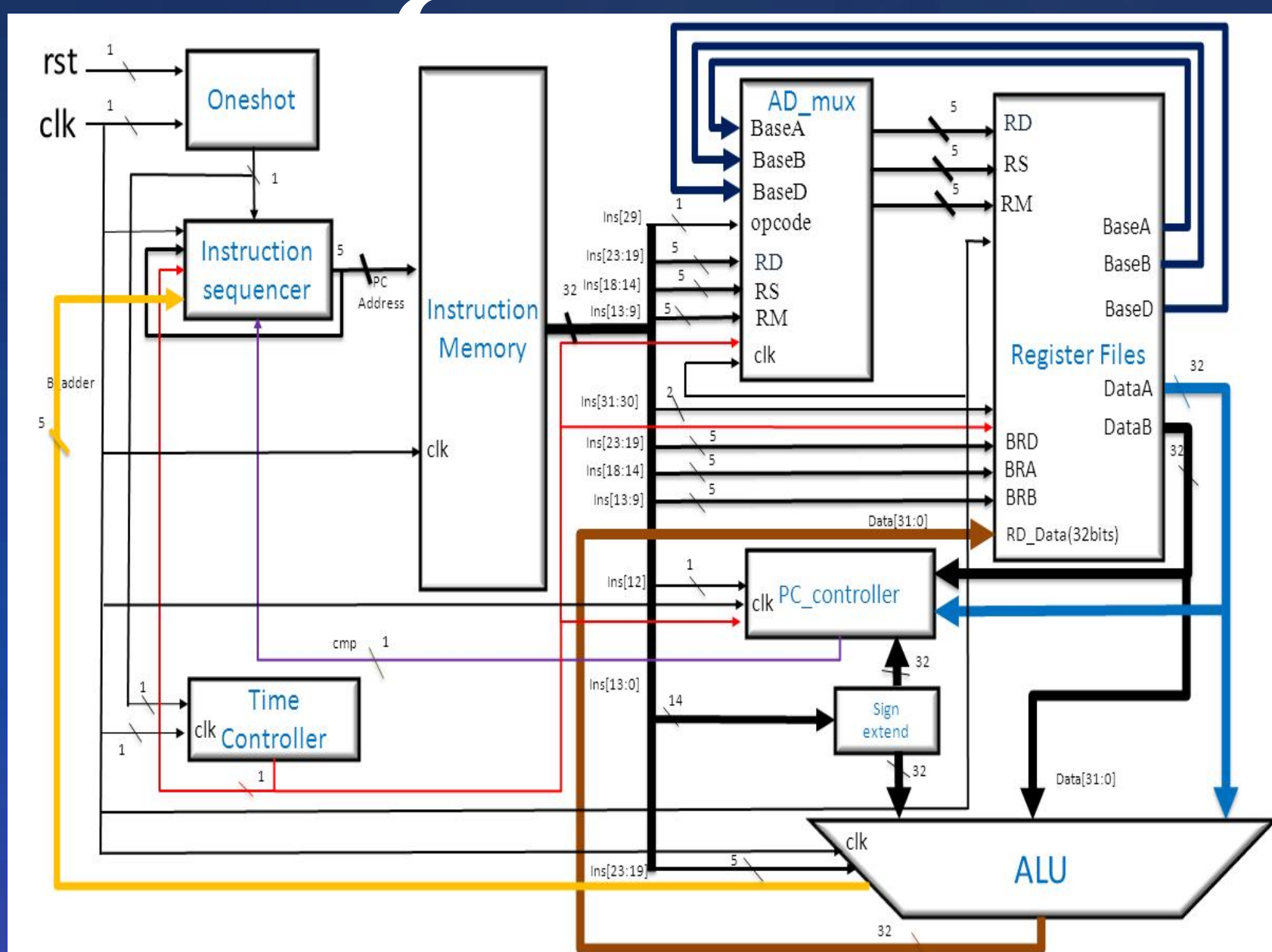
上述兩點特色能夠有效地減少特定program中執行的指令數，雖會增加少許clock cycle time，但能大量減少指令數量，故處理器執行program時間減少，效率明顯增加。



使用「零冗餘迴圈設計」之波形模擬圖：



二、系統架構圖



有無使用「零冗餘迴圈設計」之比較：

	Without "Zero Redundancy loop control"	With "Zero Redundancy loop control"
Clock cycle time	35.2ns	37.9ns
Total time of the 17-number bubble sort	91.2μs	66.8μs

使用「零冗餘迴圈設計」可使

執行時間減少：24.4μs
效能提升：36.52%

三、成果

在此以Bubble sort排序來實現本專題之成果。

隨機給定17個參數使用Bubble sort排序在未使用「零冗餘迴圈設計」情況下，利用Quartus模擬後之波形圖如下：

四、未來展望

本專題利用「暫存器間接定址法」及「零冗餘迴圈設計」兩大功能為主軸，可快速執行規律性之迴圈運算，若加上乘法功能，理當能有效地進行矩陣和矩陣間的乘法。甚至可延伸至對於定義在離散域的函數進行Convolution運算以及離散時間的傅立葉轉換。